

(19) 대한민국특허청(KR)  
 (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 21/28	(11) 공개번호 특 2000-0054970 (43) 공개일자 2000년 09월 05일
(21) 출원번호 10-1999-0003387	
(22) 출원일자 1999년 02월 02일	
(71) 출원인 피케이 주식회사 정수홍	
충청남도 천안시 성선동 493-3	
(72) 발명자 이영재	경기도 성남시 수정구 단대동 83-4
권혁주	
충청남도 천안시 두정동 527번지 주공아파트 106동 104호	
장병수	
충청남도 천안시 직산면 모사리 242-5번지 대림아파트 103동 709호	
박경호	
경기도 성남시 분당구 서현동 현대아파트 410동 1404호	
정수홍	
경기도 성남시 분당구 구미동 무지개마을동 아파트 901동 702호	
(74) 대리인 이영필, 권석홍, 이상용	

심사청구 : 있음

(54) 장벽금속막을 구비한 금속 배선 및 그 제조방법

요약

층간 절연막과 구리 배선 사이에서 발생되는 분자들의 상호작용이나 화학 반응을 충분히 억제하면서도 구리 배선의 저저항값을 충분히 유지할 수 있게 하는 장벽금속막을 구비한 금속 배선 및 그 제조방법에 관해 기재하고 있다. 본 발명에 의해 형성된 장벽금속막은 탄탈륨 질화막(TaN)으로서, 원자층 단위로 두께 제어가 가능한 원자층 박막 증착(Atomic Layer Deposition)법을 이용하여 형성된다.

대표도

도 2d

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 탄탈륨 질화막으로된 장벽금속막을 구비한 금속배선의 일 예를 보여주는 단면도이다.

도 2a 내지 도 2d는 도 1에 도시된 장벽금속막 제조방법의 일 예를 설명하기 위해 도시한 도면들이다.

도 3a 내지 도 3c는 본 발명의 바람직한 실시예에 따른 금속 배선 제조방법을 공정 순서대로 설명하기 위해 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판,	20 : 층간 절연막
30 : 장벽금속막,	35 : 도전층
40 : 금속배선,	h : 개구부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

BEST AVAILABLE COPY

본 발명은 반도체소자에 사용되는 장벽금속막을 구비한 금속 배선 및 그 제조방법에 관한 것으로, 특히 탄탈륨 질화막으로된 장벽금속막을 구비한 금속 배선 및 그 제조방법에 관한 것이다.

반도체 소자 제조에 있어서 금속 배선 재료로 가장 널리 사용되고 있는 알루미늄이나 알루미늄 합금은, 비용이 저렴하고 비교적 양호한 도전성을 가지며 실리콘이나 실리콘 산화물에 대한 접착성이 양호하다. 그러나, 반도체 소자의 접착도가 증가하여 침의 크기가 감소되고 회로가 복잡해짐에 따라 이와 같은 알루미늄 배선을 기준으로 한 접착회로는 여러 가지 문제점을 발생하게 되었다. 예를 들면, 고온 열공정에서의 알루미늄의 변형이나, 일렉트로 마이그레이션(electro-migration) 또는 힐록(hilllock) 등에 의해 금속 배선들간의 단선(open) 또는 핫선(short)과 같은 문제점들이 그것이다.

따라서, 최근에는 비저항이 낮고 일렉트로 마이그레이션 특성을 개선할 수 있으며 저저항을 가지는 구리(Cu)를 금속 배선 재료로 이용하는 방법이 연구되고 있다. 그런데, 구리를 금속 배선 재료로 이용할 경우에는 하지막(under layer) 예컨대, 산소 성분을 함유하는 층간 절연막과 반응하여 구리가 쉽게 산화되고 구리 배선과 층간 절연막을 구성하는 분자들의 상호작용으로 인해 소자 특성이 저하되는 등의 문제점이 발생된다. 이를 방지하기 위해서는 구리 배선과 층간 절연막 사이에 장벽금속(barrier metal)막을 형성하여야 한다.

현재 장벽금속막으로 사용되는 대표적인 막으로는 티타늄 질화막(TiN)을 들수 있다. 이 티타늄 질화막은 화학기상증착(CVD)법이나 스퍼터(Sputter) 법을 이용하여 형성되며, 두 물질 사이에서 분자들의 상호작용이나 화학 반응을 억제하기 위해 형성된다.

그런데, 구리 배선과 층간 절연막 사이에 티타늄 질화막을 형성하는 경우 언급된 바와 같은 장벽금속막으로서 역할 즉, 구리 배선과 층간 절연막 사이에서 분자들의 상호작용이나 화학반응을 억제할 수 있도록 하기 위해서는, 적어도 30nm 이상의 두께로 티타늄 질화막을 형성하여야 한다. 이처럼 티타늄 질화막을 30nm 이상의 두께로 형성하게 되면, 두께에 비례하여 티타늄 질화막의 저항값이 증가되고 이로인해 배선 전체의 저항값이 높아져 저저항을 가지는 구리 배선의 장점을 잃게 된다.

이와 같은 문제점을 해결하기 위해 얇은 두께로 장벽금속막으로서의 역할을 할 수 있으며 비저항이 낮은 것으로 알려진 탄탈륨 질화물의 적용이 고려되고 있다. 그런데, 종래의 장벽금속막 제조방법으로 알려진 스퍼터법을 이용하면 탄탈륨 질화물을 얇은 두께로 형성하는데에 한계가 있다. 특히, 고집적소자 예컨대 어스팩트비가 큰 콘택팅 상에 탄탈륨 질화물을 얇게 형성하는 경우에는, 국부적으로 탄탈륨 질화막이 증착되지 않거나 너무 얇은 두께로 증착되는 등 단차포성(step coverage)이 불량하여 장벽금속막으로서의 역할을 할 수 없게될 우려가 있다. 따라서, 단차포성이 양호한 것으로 알려진 화학기상증착법이 시도되고 있으나, 소오스로 사용될 유기금속재료를 얻는데 어려움이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 층간 절연막과 구리 배선 사이에서 발생되는 분자들의 상호작용이나 화학 반응을 충분히 억제하면서도 구리배선의 저저항값을 유지할 수 있도록 얇게 형성된 장벽금속막을 구비한 금속 배선을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 금속 배선을 제조하는데 적합한 제조방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 과제를 달성하기 위하여 본 발명에 의한 금속 배선은, 원자층 박막 증착(Atomic Layer Deposition)법을 이용하여 형성된 장벽금속(Barrier Metal)막을 구비하여, 상기 장벽금속막은 탄탈륨 질화물(TaN)로 형성된다.

상기 장벽금속막 하부에는, 그 내부에 상기 반도체 기판과 접촉되는 개구부가 형성되고, 그 유전율이 4.1 이하인 절연물질로 형성된 층간 절연막이 형성될 수 있다. 그리고, 상기 장벽금속막 상부에는, 상기 개구부를 통해 상기 반도체 기판과 전기적으로 연결되고, 구리를 함유하는 도전물로 형성된 금속 배선이 형성될 수 있다.

상기 다른 과제를 달성하기 위하여 본 발명에 의한 금속 배선 제조방법은 탄탈륨 질화물(TaN)로된 장벽금속막을 제조하는 방법을 포함한다. 그리고, 상기 장벽금속막, (a) 반도체 기판이 투입된 텀버 내에 탄탈륨 유기 금속층을 한 원자층 흡착시키고, (b) 상기 텀버 내에 퍼지(purge) 가스를 주입하여 상기 기판에 흡착된 탄탈륨 유기 금속 화합물을 제외한 과잉의 탄탈륨 유기 금속 화합물을 제거한 다음, (c) 상기 텀버 내에 질소를 함유하는 반응물을 주입하고, 이를 흡착된 상기 탄탈륨 유기 금속층 한 원자층과 화학 반응시켜, 한 원자층의 탄탈륨 질화막을 형성하고, (d) 상기 텀버 내에 퍼지 가스를 주입하여 상기 탄탈륨 유기 금속층과 화학 반응된 질소함유 반응물을 제외한 과잉의 반응물과, 상기 화학 반응 후 발생된 잔여 물질들을 제거하는 과정을 거쳐 제조된다.

상기 (a) 내지 (d) 단계들은 수~수십회 반복적으로 수행될 수 있으며, 그 결과 상기 탄탈륨 질화막은 소정 두께 예를 들면, 20nm 이하의 두께로 형성될 수 있다. 그리고, 상기 (a) 내지 (d) 단계들은 300°C ~700°C 온도하에서 수행하는 것이 바람직하다.

본 발명에 의하면, 탄탈륨 질화막(TaN)으로된 장벽금속막을 20nm 이하의 두께로 얇게 형성할 수 있으므로, 구리 배선의 저저항값을 충분히 유지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현

될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 함과 동시에, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 이하에서 개시되는 실시예에서 어느 한 막이 다른 막 또는 기판위에 존재하는 것으로 지칭될 때, 다른 막 또는 기판 바로 위에 있을 수도 있고, 중간 막이 존재할 수도 있음을 밝혀둔다.

먼저, 본 발명의 바람직한 실시예에 따르면, 반도체 소자의 장벽금속막으로서 탄탈륨 질화막을 이용하며, 상기 탄탈륨 질화막은 원자층 박막 증착(Atomic Layer Deposition)법으로 형성된다.

도 1은 본 발명에 의한 탄탈륨 질화막으로된 장벽금속막을 구비한 금속배선의 일 예를 보여주는 단면도로서, 다마신(damascene) 방식에 의해 형성된 구리 배선의 경우가 예로써 기술된다. 도 1에 있어서 참조 부호 '10'은 반도체 기판을, '20'은 중간 절연막을, '30'은 탄탈륨 질화막으로 구성된 장벽금속막을, '40'은 금속배선을, 'h'는 개구부를 각각 나타낸다.

도 1을 참조하면, 반도체 기판(10), 예컨대 실리콘 기판의 일 표면에 중간 절연막(20)이 형성되어 있다. 상기 중간 절연막(20)은 그 내부에, 상기 반도체 기판(10)의 일 표면을 부분적으로 노출시키는 개구부(h)를 구비한다. 상기 중간 절연막(20)의 표면 특히, 상기 개구부(h)의 내벽에는 소정 두께 예컨대, 20nm 이하의 두께를 가지는 장벽금속막(30) 예컨대, 탄탈륨 질화막이 형성되어 있다. 그리고, 상기 장벽금속막(30) 상에는 금속 배선(40) 예컨대, 구리 배선이 형성되어 있다.

상기 중간 절연막(20)은 금속 배선 간에 발생될 수 있는 크로스-토크(cross-talk)를 방지할 수 있도록 그 유전율이 4.1 보다 작은 절연물질로 형성된 것이 바람직하다. 더욱 바람직하기로는 상기 중간 절연막(20)은, SiO<sub>x</sub>, SiOF, HSG, 아몰포스 카본, 유기 SOG, FSG 중 선택된 어느 하나로 형성된다.

상기 장벽금속막(30)은 언급된 바와 같이 20nm 이하, 더욱 바람직하기로는 약 10nm 정도의 두께를 가지도록 원자층 박막 증착법으로 형성된 것이다. 그리고, 상기 장벽금속막(30)이 탄탈륨 질화막(TaN)으로 형성된 경우, 결정상태를 측정하는 엑스(X)선 회절에서 상기 탄탈romium 질화막(TaN)은 (110) 방향의 결정성을 가진다.

그리고, 상기 구리 배선(40)은 개구부(h)의 매립과 배선층이 동시에 형성되는 다마신(Damascene) 공정으로 형성된 것이 바람직하다.

도 2a 내지 도 2d는 도 1에 도시된 장벽금속막 제조방법의 일 예를 설명하기 위해 도시한 도면들로서, 탄탈륨 질화물을 장벽금속막 재료로 사용하는 경우가 예로써 기술된다.

도 2a를 참조하면, 먼저, 공정이 진행될 챔버에 반도체 기판(10), 예컨대 실리콘 기판을 투입한 다음, 투입된 상기 반도체 기판(10)의 온도를 300°C ~ 700°C의 온도로 유지한다. 여기서, 상기 반도체 기판(10)은 그 일 표면에 트랜지스터와 같은 개별소자(discrete device)가 완성되고 그 위에 도 1에 도시된 바와 같이 중간 절연막(20)이 형성된 기판이거나 혹은, 상기 중간 절연막(20) 아래에 다른 금속 배선이 미리 형성된 기판일 수 있다.

이어서, 반도체 기판(10)이 투입된 챔버에 제1 주입물 예컨대, 탄탈륨 유기 금속 화합물(A)을 수송가스(B) 예컨대, 질소(N<sub>2</sub>) 가스와 함께 주입하여 상기 반도체 기판(10)과 반응시킨다. 여기서, 상기 탄탈romium 유기 금속 화합물(A)로는, Ta(OCH<sub>3</sub>)<sub>5</sub>, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>, Ta(OC<sub>3</sub>H<sub>7</sub>)<sub>5</sub>, Ta[OCH(CH<sub>3</sub>)<sub>2</sub>]<sub>5</sub>, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>, Ta[OCH(CH<sub>3</sub>)<sub>2</sub>]<sub>5</sub>, Ta[OCH(CH<sub>3</sub>)C<sub>2</sub>H<sub>5</sub>]<sub>5</sub>, 및 Ta[OC(CH<sub>3</sub>)<sub>3</sub>]<sub>5</sub> 중 선택된 어느 하나를 사용하는 것이 바람직하다.

도 2b를 참조하면, 주입된 상기 탄탈romium 유기 금속 화합물(A)은 상기 반도체 기판(10)과 반응하고, 상기 반도체 기판(10)의 일 표면에는 탄탈romium 유기 금속층 한 원자층이 흡착된다.

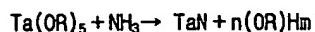
계속해서, 상기 챔버 내에 퍼지(purge) 가스(C) 예컨대, 질소(N<sub>2</sub>) 가스를 주입하여 상기 반도체 기판(10)에 흡착된 상기 탄탈romium 유기 금속 화합물(A)을 제외한 과잉의 탄탈romium 유기 금속 화합물(A)들을 제거한다. 즉, 상기 퍼지 가스(C)에 의해, 탄탈romium 유기 금속층 한 원자층을 구성하는 탄탈romium 유기 금속 화합물(A)을 제외한 탄탈romium 유기 금속 화합물의 잔류 물질과 상기 반도체 기판(10) 위에 두 층 이상으로 존재하는 잔류 물질들이 제거된다.

도 2c를 참조하면, 탄탈romium 유기 금속층 한 원자층이 형성된 상태에서 상기 챔버 내로 반응 물질 예컨대, 질소를 함유하는 반응물(D)을 주입하고, 이를 흡착된 상기 탄탈romium 유기 금속층 한 원자층과 반응시킨다.

여기서, 상기 질소를 함유한 반응물(D)로는 암모니아(NH<sub>3</sub>) 및 히드라진(N<sub>2</sub>H)과 같은 가스류가 사용될 수 있다. 그리고, 액체상태나 고체상태의 반응물을 사용하는 경우에는 도 2c에 도시된 바와 같이, 수송가스(B) 예컨대, 질소(N<sub>2</sub>) 가스와 함께 주입한다.

도 2d를 참조하면, 주입된 상기 질소 함유 반응물(D)은, 반도체 기판(10) 상에 형성된 상기 탄탈romium 유기 금속층 한 원자층과 화학 반응하여 한 원자층의 탄탈romium 질화막(TaN)을 형성한다. 본 실시예에 따른 탄탈romium 질화막(TaN) 형성을 위한 화학반응은 다음의 화학식 1과 같다.

#### 화학식 1



그리고, 상기 탄탈romium 질화막(TaN) 생성 후, 반응 부산물인 n(OR)Hm은 배기구를 통해 배기된다. 여기서, 상기 탄탈romium 질화막(TaN)은, 결정상태를 측정하는 엑스(X)선 회절에서 (110) 방향의 결정성을 가지고도록 형성된다.

계속해서, 한 원자층의 탄탈륨 질화막(TaN)이 형성된 상기 챔버 내에 퍼지 가스(C)를 다시 주입하여, 상기 탄탈륨 유기 금속층과 화학 반응된 질소함유 반응물(D)을 제외한 미반응 질소함유 반응물(D)과 잔여 반응 부산물( $n(OR)Hm$ )들을 제거한다.

이후에, 상기한 바와 같은 원자층 단위의 탄탈륨 질화막(TaN) 형성 과정 즉, 탄탈륨 유기 금속 화합물(A)을 주입하여 반도체 기판(10)과 반응시키는 제1 단계와, 퍼지 가스(C)를 주입하는 제2 단계, 질소함유 반응물(D)을 주입하여 상기 탄탈륨 유기 금속 화합물(A)과 반응시키는 제3 단계 및 다시 퍼지 가스(C)를 주입하는 제4 단계들을 수~수실회 반복적으로 수행하여, 상기 탄탈륨 질화막(TaN)이 원하는 소정 두께를 가지도록 한다. 즉, 상기 제1 내지 제4 단계들의 반복횟수를 제어함으로써, 형성되는 탄탈륨 질화막(TaN)의 두께를 조절한다.

상기와 같이 본 발명에 의해 형성된 탄탈륨 질화막(TaN)은 원자층 단위로 두께가 제어된다. 따라서, 10nm 정도의 박막이 반도체 기판 전체에 걸쳐 균일하게 형성될 수 있다.

도 3a 내지 도 3c는 본 발명의 바람직한 실시예에 따른 금속 배선 제조방법을 공정 순서대로 설명하기 위해 도시한 단면도들이다.

도 3a를 참조하면 먼저, 반도체 기판(10)의 일 표면에, 층간 절연막(20)을 형성하고 상기 층간 절연막(20)을 관통하는 개구부(h)를 형성한다. 상기 개구부(h)는 그 내부에 배선층이 매립될 수 있도록, 상단은 넓고 하단은 좁은, 계단 형태로 형성하는 것이 바람직하다. 도 1에 도시된 형태의 개구부(h) 형성방법은 통상의 지식을 지닌 당업자에 의해 용이하게 구현될 수 있을 것으로 상세한 설명은 생략한다.

여기서, 상기 층간 절연막(20) 형성 전, 상기 반도체 기판(10) 상에 트랜지스터와 같은 개별소자(discrete device, 도시되지 않음)를 먼저 형성할 수 있으며, 상기 개구부(h)는 상기 개별소자의 활성영역(active region)을 노출시키는 콘택 훌에 해당된다. 그리고, 개별 소자들이 형성된 반도체 기판(10) 상에 배선으로 사용될 하부 도전층(도시되지 않음)을 형성한 후 상기 층간 절연막(20)을 형성 할 수도 있는데, 이 경우 상기 개구부(h)는 상기 하부 도전층을 부분적으로 노출시키는 비아 훌(via hole)이 된다.

또한, 상기 층간 절연막(20)은 그 유전율이 4.1 보다 작은 절연률질 예를 들면, SiO, SiOF, HSG, 아몰포스 카본, 유기 SOG, FSG 중 선택된 어느 하나로 형성할 수 있다.

도 3b를 참조하면, 층간 절연막(20)이 형성된 상기 결과물 전면에 장벽금속막(30)을 형성한다. 상기 장벽금속막(30)은, 이후에 형성될 금속 배선의 저항값을 크게 증가시키지 않을 정도의 두께 예를 들면, 20nm 이하의 두께로 형성한다. 더욱 바람직하기로는 상기 장벽금속막(30)은 10nm 내외의 두께로 형성한다.

그리고, 상기 장벽금속막(30)은 탄탈륨 질화막으로 형성하되, 원자층 단위의 박막 형성이 가능한 원자층 박막 증착법으로 형성한다. 상기 장벽금속막(30)의 제조방법은 도 2a 내지 도 2d에 도시된 방법이 적용될 수 있다.

다음, 장벽금속막(30)이 형성된 반도체 기판(10) 전면에, 예컨대 구리와 같은 도전률질을 증착하여 상기 개구부(h)를 매립하고 상기 층간 절연막(20) 위의 장벽금속막(30) 표면으로부터 소정두께를 가지는 도전 층(35)을 형성한다.

도 3c를 참조하면, 도전층(35)이 형성된 상기 결과물에 대한 평탄화공정을 수행하여 상기 개구부(h) 내부를 매립함과 동시에, 상기 반도체 기판(10)과 전기적으로 접속되는 형태의 금속 배선(40)을 형성한다.

여기서, 상기 평탄화공정은 상기 절연층(20) 표면이 노출될때까지 상기 도전층(35) 및 장벽금속막(30)을 에치-백(etch back)하거나, 또는 화학-기계적 폴리싱(Chemical Mechanical Polishing)함에 의해 구현될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 상기 실시예에서는 탄탈륨 질화막을 장벽금속막으로 사용하는 경우를 예로 들어 기술하였으나, 이외에 다른 고용점금속이 사용될 수도 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 소자 제조방법에 의하면, 원자층 단위로 두께 제어가 가능한 원자층 박막 증착법을 이용하여 탄탈륨 질화막(TaN)으로된 장벽금속막을 형성한다. 즉, 탄탈륨 질화막(TaN)으로된 장벽금속막을 20nm 이하의 두께로 얇게 형성할 수 있으므로, 구리 배선의 저저항값을 충분히 유지할 수 있다. 뿐만 아니라, 층간 절연막과 구리 배선 사이에 20nm 이하의 장벽금속막이 균일한 두께로 형성되기 때문에, 층간 절연막과 구리 배선 사이에서 발생되는 분자들의 상호작용이나 화학 반응을 충분히 억제할 수 있다.

### (57) 청구의 범위

#### 청구항 1

장벽금속(Barrier Metal)막을 구비한 반도체 소자의 금속 배선에 있어서,

상기 장벽금속막은 원자층 박막 증착(Atomic Layer Deposition)법을 이용하여 형성된 것을 특징으로 하

는 금속 배선.

#### 청구항 2

제1항에 있어서, 상기 장벽금속막은 탄탈륨 질화물(TaN)로 형성된 것을 특징으로 하는 금속 배선.

#### 청구항 3

제1항에 있어서, 상기 반도체 소자는

상기 장벽금속막의 하부에 형성되고, 그 내부에 상기 반도체 기판과 접촉되는 개구부를 구비하여, 그 유전율이 4.1 이하인 절연물질로 형성된 충간 절연막; 및

상기 장벽금속막의 상부에 구리를 함유하는 도전물을 형성되고, 상기 개구부를 통해 상기 반도체 기판과 전기적으로 연결되며, 다마신(damascene) 방식으로 형성된 금속 배선을 더 구비하는 것을 특징으로 하는 금속 배선.

#### 청구항 4

탄탈륨 질화물(TaN)로된 장벽금속막을 구비하는 반도체 소자의 금속 배선 제조방법에 있어서,

(a) 반도체 기판이 투입된 텨버 내에 탄탈륨 유기 금속 화합물을 주입하여 상기 반도체 기판의 일 표면에 탄탈륨 유기 금속층을 한 원자층 흡착시키는 단계;

(b) 상기 텨버 내에 퍼지(purge) 가스를 주입하여 상기 기판에 흡착된 탄탈륨 유기 금속 화합물을 제외한 과잉의 탄탈륨 유기 금속 화합물들을 제거하는 단계;

(c) 상기 텨버 내에 질소를 함유하는 반응물을 주입하고, 이를 흡착된 상기 탄탈륨 유기 금속층 한 원자층과 화학 반응시켜, 한 원자층의 탄탈륨 질화막을 형성하는 단계; 및

(d) 상기 텨버 내에 퍼지 가스를 주입하여 상기 탄탈륨 유기 금속층과 화학 반응된 질소함유 반응물을 제외한 과잉의 반응물과, 상기 화학 반응 후 발생된 잔여 물질들을 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 5

제4항에 있어서, 상기 (d) 단계 후,

상기 (a) 내지 (d) 단계들을 수~수십회 반복적으로 수행하여 상기 탄탈륨 질화막이 소정의 두께를 가지도록 하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 6

제5항에 있어서, 상기 탄탈륨 질화막은 20nm 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 7

제5항에 있어서, 상기 최초의 (a) 단계 전,

상기 반도체 기판의 일 표면에 유전율이 4.1 이하인 충간 절연막을 형성하는 단계를 더 구비하고,

소정 두께를 가지는 탄탈륨 질화막을 형성하는 상기 (d) 단계 후,

상기 탄탈륨 질화막 상에 금속 배선을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 8

제7항에 있어서, 상기 금속 배선은 다마신(damascene) 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 9

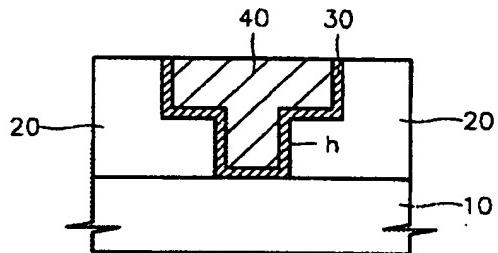
제4항에 있어서, 상기 (a) 내지 (d) 단계들은 300°C~700°C 온도하에서 수행하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 청구항 10

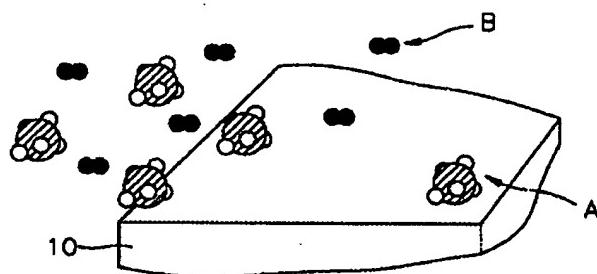
제4항에 있어서, 상기 탄탈륨 유기 금속 물질로는  $Ta(OCH_3)_5$ ,  $Ta(OC_2H_5)_5$ ,  $Ta(OC_3H_7)_5$ ,  $Ta[OCH(CH_3)_2]_5$ ,  $Ta(OC_4H_9)_5$ ,  $Ta[OCH_2CH(CH_3)_2]_5$ ,  $Ta[OCH(CH_3)C_2H_5]_5$ , 및  $Ta[OC(CH_3)_3]_5$  중 선택된 어느 하나를 사용하고, 상기 질소를 함유한 반응가스로는 암모니아( $NH_3$ ) 및 히드라진( $N_2H$ ) 중 선택된 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

#### 도면

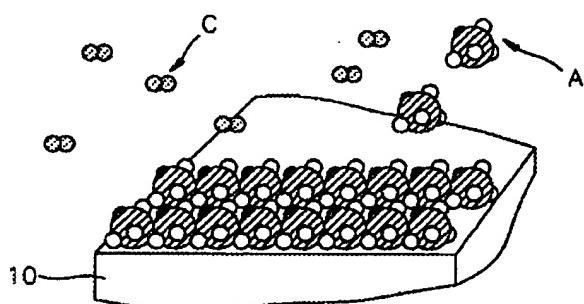
도면1



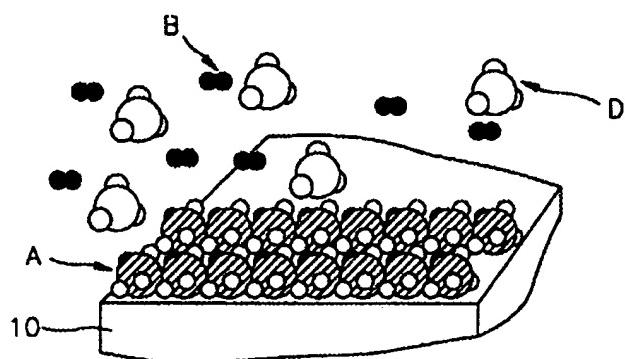
도면2a



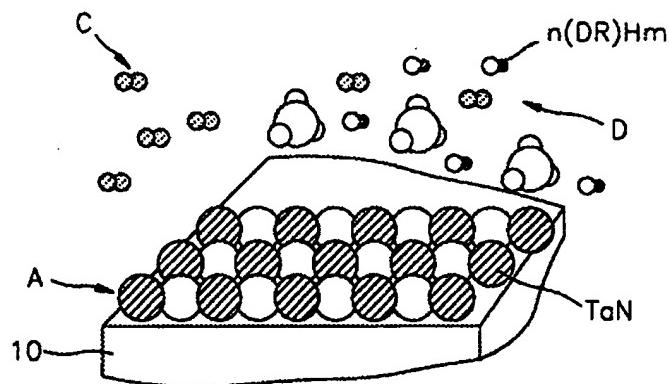
도면2b



도면2c

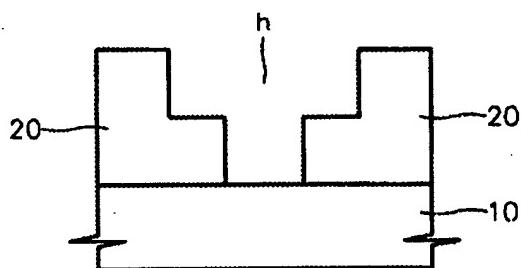


도면2d

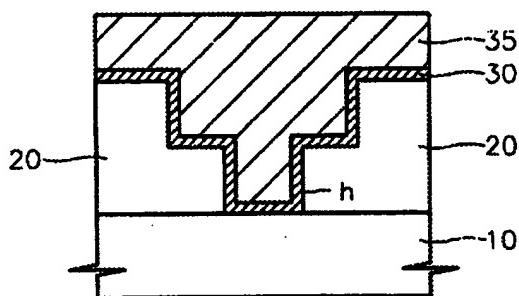


● 단탈륨 유기 금속 화합물(A)  
● 질소 함유 반응물(D)  
● 수증 가스(B) ● 퍼지 가스(C) ● n(DR)Hm ● TaN

도면3a



도면3b



도면3c

